

#5 2-1-02
Molteni

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1050 U.S. PTO
09/942038
08/30/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年 9月 1日

出 願 番 号
Application Number:

特願2000-265284

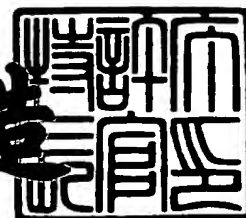
出 願 人
Applicant(s):

松下電器産業株式会社

2001年 5月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3049112

【書類名】 特許願

【整理番号】 2926410265

【提出日】 平成12年 9月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/108

【発明者】

 【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

 【氏名】 森 義弘

【発明者】

 【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

 【氏名】 奥野 泰利

【発明者】

 【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

 【氏名】 鼓谷 昭彦

【特許出願人】

 【識別番号】 000005843

 【氏名又は名称】 松下電子工業株式会社

【代理人】

 【識別番号】 100077931

 【弁理士】

 【氏名又は名称】 前田 弘

【選任した代理人】

 【識別番号】 100094134

 【弁理士】

 【氏名又は名称】 小山 廣毅

【選任した代理人】

 【識別番号】 100110939

 【弁理士】

 【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006009

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 キャパシタ及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 金属からなる第 1 の電極と、
導体材料からなる第 2 の電極と、
上記第 1、第 2 の電極間に介在する容量絶縁膜とを備え、
上記第 1 の電極は、高温における当該電極の剛性の低下を抑制する機能を有する不純物を含んでいることを特徴とするキャパシタ。

【請求項 2】 請求項 1 記載のキャパシタにおいて、
上記第 1 の電極は、白金族貴金属により構成されていることを特徴とするキャパシタ。

【請求項 3】 請求項 1 又は 2 記載のキャパシタにおいて、
上記不純物は、水素であることを特徴とするキャパシタ。

【請求項 4】 請求項 1～3 のうちいずれか 1 つに記載のキャパシタにおいて、
上記第 1 の電極のもっとも薄い部位における厚みは、100nm 以下であることを特徴とするキャパシタ。

【請求項 5】 請求項 1～4 のうちいずれか 1 つに記載のキャパシタにおいて、
上記容量絶縁膜は、酸化物系誘電体膜であることを特徴とするキャパシタ。

【請求項 6】 請求項 1～5 のうちいずれか 1 つに記載のキャパシタにおいて、
上記第 2 の電極は、高温における当該電極の剛性の低下を抑制する機能を有する不純物を含んでいることを特徴とするキャパシタ。

【請求項 7】 貴金属又は高融点金属からなる第 1 の電極と、
導体材料からなる第 2 の電極と、
上記第 1、第 2 の電極間に介在する容量絶縁膜とを備え、
上記第 1 の電極は水素を含んでいることを特徴とするキャパシタ。

【請求項 8】 請求項 7 記載のキャパシタにおいて、

上記第 1 の電極のもっとも薄い部位における厚みは、100nm 以下であることを特徴とするキャパシタ。

【請求項 9】 請求項 8 又は 9 記載のキャパシタにおいて、
上記容量絶縁膜は、酸化物系誘電体膜であることを特徴とするキャパシタ。

【請求項 10】 貴金属又は高融点金属からなる電極を要素として有する半導体装置の製造方法であって、

上記電極を形成する工程 (a) と、

上記電極を還元機能を有する雰囲気下で熱処理する工程 (b) と
を含むことを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 10 記載の半導体装置の製造方法において、
上記工程 (b) の後、上記電極の上に、キャパシタ用の誘電体膜を形成する工程をさらに含むことを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 10 又は 11 記載の半導体装置の製造方法において、
上記工程 (b) では、上記還元機能を有する雰囲気として水素を含む雰囲気下で熱処理を行なうことを特徴とする半導体装置の製造方法。

【請求項 13】 電極を要素として有する半導体装置の製造方法であって、
上記電極を形成する工程 (a) と、
上記電極を還元機能を有する雰囲気下で熱処理する工程 (b) と、
上記電極の上に、酸化物系絶縁膜を形成する工程 (c) と
を含むことを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 13 記載の半導体装置の製造方法において、
上記工程 (b) では、上記還元性雰囲気として水素を含む雰囲気下で熱処理することを特徴とする半導体装置の製造方法。

上記工程 (c) の後、上記酸化物系絶縁膜の上に、キャパシタ用のもう 1 つの電極を形成する工程をさらに含むことを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 13 又は 14 記載の半導体装置の製造方法において

上記工程 (b) では、上記還元機能を有する雰囲気として水素を含む雰囲気下

で熱処理を行なうことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、1対の電極間に誘電体膜を介在させたキャパシタ、電極を要素として有する半導体装置の製造方法に係り、特に、電極の変形を防止する対策に関する。

【0002】

【従来の技術】

従来より、高誘電体材料や強誘電体材料を容量絶縁膜として用いたキャパシタの電極は、貴金属や高融点金属によって構成されている。これは、高誘電体材料や強誘電体材料は、一般には、形成時に化学反応を利用することが多く、かつ、強い酸化性を有していることから、できるだけ化学的に安定な材料を電極材料として用いる必要があるからである。

【0003】

例えば、五酸化タンタル (Ta_2O_5) という高誘電体材料を容量絶縁膜材料として用いる場合には、電極材料として、ルテニウム (Ru), タングステン (W), モリブデン (Mo) 等が用いられる。

【0004】

また、バリウムストロンチウムチタンオキシaid ($Ba_{1-x}Sr_xTiO_3$) (BST) を容量絶縁膜材料として用いる場合には、電極材料として Ru、二酸化ルテニウム (RuO_2), 白金 (Pt), イリジウム (Ir) 等が用いられる。

【0005】

さらに、強誘電体材料であるストロンチウムピスマスタンタルオキシaid (SBT) や鉛ジルコニウムチタンオキシaid (PZT) を容量絶縁膜として用いる場合には、電極材料として、Pt, Ir, 二酸化イリジウム (IrO_2) 等が用いられる。

【0006】

ここで、特開平 1 1 - 7 4 4 8 8 号公報に開示されている従来の B S T を用いたキャパシタの構造について、図 1 を参照しながら説明する。このキャパシタは、DRAM のメモリセルの記憶容量部として機能するものである。図 1 に示されるように、DRAM メモリセルは、半導体基板 1 0 0 に、ゲート絶縁膜，ゲート電極，ソース・ドレイン領域などを設けてなる M I S F E T 構造を有するメモリセルトランジスタ（図示せず）と、半導体基板 1 0 0 上に設けられた酸化珪素（ SiO_2 ）や窒化珪素（ SiN ）からなる層間絶縁膜 1 0 6 と、層間絶縁膜 1 0 6 を貫通して半導体基板 1 0 0（ソース領域）に到達する接続孔を埋めるポリシリコンプラグ 1 0 8 と、ポリシリコンプラグ 1 0 8 の上に設けられたシリサイド層 1 0 7（例えばコバルトシリサイド層）と、窒化チタンアルミニウム（ TiAlN ）からなるバリア層 1 0 5 と、バリア層 1 0 5 と層間絶縁膜 1 0 6 とに跨って設けられた TiAlN からなる密着層 1 0 4 と、密着層 1 0 4 の上に設けられた Pt からなる下部電極 1 0 1 と、下部電極 1 0 1 の上に設けられた厚み約 3 0 n m の B S T からなる容量絶縁膜 1 0 2 と、Pt からなる上部電極 1 0 3 とを備えている。この下部電極 1 0 1，容量絶縁膜 1 0 2 及び上部電極 1 0 3 を積層した部分が記憶容量部となるキャパシタである。この第 1 の従来例の構造においては、下部電極 1 0 1 が約 5 0 0 n m の厚みを有していて十分な機械的強度を有しているが、下部電極 1 0 1 を直接下地層（層間絶縁膜 1 0 6 やシリサイド層 1 0 5）の上に形成すると、下地層との密着性が弱く剥離のおそれがある。そこで、この例では、 TiAlN からなる密着層 1 0 4 とバリア層 1 0 5 とを下部電極 1 0 1 の下方に設けている。なお、バリア層 1 0 5 は、ポリシリコンプラグ 1 0 8 の酸化を防止する機能をも有している。

【 0 0 0 7 】

ここで、Pt 膜は非常に化学的に安定な物質であることから、厚み 5 0 0 n m の Pt 膜をパターニングして図 1 に示すような下部電極 1 0 1 を形成することは非常に困難である。図 1 に示す例では、下部電極 1 0 1 の側面部も電極として機能しているが、下部電極 1 0 1 の面積を大きくしたり、より比誘電率の高い誘電体材料により容量絶縁膜を構成すれば、下部電極の側面部を広くしなくても十分な容量を確保できるため、下部電極の厚みを薄くすることが可能である。図 3 は

、このような薄膜化された P t 膜からなる下部電極 1 0 1 を有する D R A M メモリセルのキャパシタ構造の例を示す図である。図 3 において、図 1 と同じ符号が付された部材は図 1 における部材と同じものである。

【 0 0 0 8 】

また、微細化が進み、0. 1 5 μ m ルール以下のデザインルールが採用される D R A M メモリセルにおいては、キャパシタの下部電極の厚みをより薄くする必要が生じる。図 2 は、下部電極の厚みを薄くするためのカップ型のキャパシタの構造を示す断面図である。同図に示すように、この例では、図 1 に示す構造と同様の、半導体基板 1 0 0 と、ポリシリコンプラグ 1 0 8 と、シリサイド層 1 0 7 と、T i A l N からなるバリア層 1 0 5 とを有している。さらに、層間絶縁膜 1 0 6 に形成された凹部の側面及び底面に沿って形成された T i A l N からなる密着層 1 1 4 と、密着層 1 1 4 の上に設けられた P t 薄膜からなる下部電極 1 1 1 と、厚み約 2 5 n m の B S T 膜からなる容量絶縁膜 1 1 1 と、P t からなる上部電極 1 1 3 とを備えている。ここで、メモリセルを微細化するためには、下部電極 1 1 1 は 1 0 ~ 2 0 n m 程度に薄くする必要がある。このため、下部電極 1 1 1 は十分な機械的強度を有しておらず、下地層である層間絶縁膜 1 0 6 によって強く支持されていなければならない。したがって、下部電極 1 1 1 と層間絶縁膜 1 0 6 との密着性を確保するために、極薄のチタン膜を用いた密着層 1 1 4 が設けられている。

【 0 0 0 9 】

【発明が解決しようとする課題】

しかしながら、本発明者達の研究によると、図 2 や図 3 に示すような P t 薄膜からなる下部電極においては、図 1 に示すような厚い P t 膜からなる下部電極においては生じなかった以下のような不具合が生じることがわかった。

【 0 0 1 0 】

図 4、図 5 は、それぞれ図 2、図 3 に示す構造を有するキャパシタを酸素雰囲気下で熱処理したときの構造の変化を示す断面図である。図 4、図 5 に示すように、酸素雰囲気下での熱処理を経ることにより、下部電極 1 1 1、1 0 1 を構成する P t の凝集が生じ、下部電極 1 1 1、1 0 1 に空隙部 R v o が発生している。

【 0 0 1 1 】

キャパシタの製造工程においてこのような酸素雰囲気下での熱処理に相当する工程は、容量絶縁膜 1 1 2, 1 0 2 を構成する B S T 膜を化学気層堆積法で形成する工程や、その後に B S T 膜に酸素を供給するためのアニール工程などであり、これらの処理を省略することはできない。したがって、図 4, 図 5 に示す空隙部 R v o の発生を抑制するためには、P t 薄膜の構造自体を酸素雰囲気下での熱処理に耐えうるものとする必要がある。

【 0 0 1 2 】

そこで、本発明者達は、P t 薄膜の構造を改変するために、以下のような考察を行なった。

【 0 0 1 3 】

上述のような空隙部 R v o が生じるのは、P t 薄膜の強度が高温で低下する一方、P t 薄膜の表面張力が大きいために、高温下では P t 薄膜が容易に水玉のように丸くなろうとすることに主な原因があると考えられる。また、大気圧で 5 ～ 2 0 % 程度の酸素を含む雰囲気下では、4 0 0 ℃ 近辺で極めて大きな応力変化が発生することがわかった。図 6 は、シリコンウエハ上に厚みが約 1 0 0 n m の P t 薄膜を形成したものを酸化を含む雰囲気下で高温まで加熱していったときの P t 薄膜中の応力の変化をレーザ法により測定した結果を示す図である。図 6 において、横軸は温度 (℃) を表し、縦軸は引張側を正としたときの応力 (M P a) を表している。ここで、シリコンウエハ上に P t 薄膜を形成したときの A s . d e p . の状態では、P t 薄膜には圧縮応力が印加された状態と考えられる。ただし、図 6 における応力の 0 点位置はレーザ法の測定原理上あまり正確でないので、このデータは応力の変化に大きな意味がある。また、シリコンウエハを加熱すると、シリコンウエハよりも P t 薄膜の方が熱膨張率が大きいので、応力が徐々に圧縮方向に変化していくものと考えられるが、熱膨張率の差による応力の変化はここでは無視して考察することにする。図 6 に示されるように、温度が約 3 0 0 ℃ を越えると、P t 薄膜の応力が大きく変化し始める。そして、このような急激な応力の変化と空隙部の発生との間に相関関係があることがわかった。つまり、P t 薄膜に空隙部 R v o が発生する機構は、応力の急激な変化に応じて、グレイン

の移動、成長（合体）や転位（ディスロケーション）の運動が活発になる結果、表面張力によって Pt が部分的に凝集し、Pt 薄膜の一部が密着層から剥がれて丸まることにあると推定される。

【0014】

本発明の目的は、キャパシタの電極を構成する Pt などの材料自身の少なくとも高温における強度の低下を抑制する手段を講ずることにより、電極の変形等に起因する空隙部の発生を防止することにある。

【0015】

【課題を解決するための手段】

本発明の第1のキャパシタは、金属からなる第1の電極と、導体材料からなる第2の電極と、上記第1、第2の電極間に介在する容量絶縁膜とを備え、上記第1の電極は、高温における当該電極の剛性の低下を抑制する機能を有する不純物を含んでいる。

【0016】

これにより、第1の電極が高温にさらされたときにも、剛性が高く維持されるので、電極の変形が妨げられる。つまり、金属の凝集による空隙部の形成などの不具合を防止することができる。

【0017】

上記第1の電極が白金族貴金属により構成されていることにより、第1の電極が化学的な安定性を有するので、キャパシタの信頼性や容量特性が高く維持されることになる。

【0018】

上記不純物が水素であることにより、第1の電極中の原子と結合して金属原子の移動が抑制される作用が生じるので、より効果的に第1の電極の変形を防止することが可能となる。

【0019】

上記容量絶縁膜は、酸化物系誘電体膜である場合に、酸化物系誘電体膜の製造工程において電極が酸化性雰囲気中にさらされたときにも電極の変形が妨げられることになる。

【 0 0 2 0 】

第 1 の電極のもっとも薄い部位における厚みは、1 0 0 n m 以下である場合に、本発明を適用すると、特に大きな効果が得られる。

【 0 0 2 1 】

上記第 2 の電極が、高温における当該電極の剛性の低下を抑制する機能を有する不純物を含んでいることにより、第 2 の電極の薄膜化を図りつつ、高い信頼性を確保することができる。

【 0 0 2 2 】

本発明の第 2 のキャパシタは、貴金属又は高融点金属からなる第 1 の電極と、導体材料からなる第 2 の電極と、上記第 1，第 2 の電極間に介在する容量絶縁膜とを備え、上記第 1 の電極は水素を含んでいる。

【 0 0 2 3 】

これにより、貴金属又は高融点金属中において水素が金属原子と結合して原子の移動を抑制する作用が生じるので、第 1 の電極の変形が防止されることになる。

【 0 0 2 4 】

本発明の第 1 の半導体装置の製造方法は、貴金属又は高融点金属からなる電極を要素として有する半導体装置の製造方法であって、上記電極を形成する工程（a）と、上記電極を還元機能を有する雰囲気下で熱処理する工程（b）とを含んでいる。

【 0 0 2 5 】

この方法により、電極が還元機能を有する雰囲気下で処理されることにより、その後、酸化性雰囲気下で処理されても、電極の部分的な酸化が抑制されるなどの作用が生じ、電極の変形が抑制される。

【 0 0 2 6 】

上記工程（b）の後、上記電極の上に、キャパシタ用の誘電体膜を形成する工程をさらに含むことにより、この方法をキャパシタの形成に利用することができる。

【 0 0 2 7 】

上記工程（b）では、上記還元機能を有する雰囲気として水素を含む雰囲気下で熱処理を行なうことが好ましい。

【0028】

本発明の第2の半導体装置の製造方法は、電極を要素として有する半導体装置の製造方法であって、上記電極を形成する工程（a）と、上記電極を還元機能を有する雰囲気下で熱処理する工程（b）と、上記電極の上に、酸化物系絶縁膜を形成する工程（c）とを含んでいる。

【0029】

この方法により、工程（c）で酸化物系絶縁膜を形成する際に、酸化性雰囲気下で高温に電極がさらされても、電極の部分的な酸化が抑制されるなどの作用が生じ、電極の変形が抑制される。

【0030】

上記工程（c）の後、上記酸化物系絶縁膜の上に、キャパシタ用のもう1つの電極を形成する工程をさらに含むことにより、本発明をキャパシタを有する半導体装置の形成に利用することが可能になる。

【0031】

【発明の実施の形態】

ー本発明の基礎となる実験データー

ここで、本発明者達は、以下に説明する実験データに基づいて、Pt薄膜の強度の低下が水素等の軽元素の添加によって抑制されることを見いだした。

【0032】

図7は、シリコンウエハ上に厚みが約100nmのPt薄膜を形成したものを、数%の水素を含む不活性ガス中において、大気圧下で、450℃～500℃程度の温度で5～10分の間熱処理を施し、図6に示す条件と同じ条件、つまり、酸素を含む雰囲気下で温度を上昇させたときのPt薄膜中の応力の変化をレーザ法により測定した結果を示す図である。図7において、横軸は温度（℃）を表し、縦軸は引張側を正としたときの応力（MPa）を表している。ここで、シリコンウエハ上のPt薄膜を水素アニールすると、As. dep. 時の圧縮応力が印加された状態から引張応力が印加された状態に変化すると考えられる。ただし、

図 7 における応力の 0 点はレーザ法の測定原理上あまり正確でないので、このデータは応力の変化に大きな意味がある。また、シリコンウエハを加熱すると、シリコンウエハよりも Pt 薄膜の方が熱膨張率が大きいので、引張応力が徐々に減少する方向に（応力が徐々に圧縮方向に）変化していくものと考えられるが、熱膨張率の差による応力の変化はここでは無視して考察することにする。図 7 に示すように、水素アニール処理を行なった場合には、加熱温度を高くしていても、図 6 に示すような急激な応力の変化は生じていない。

【 0 0 3 3 】

このように、急激な応力の変化が生じない理由は必ずしも解明されているわけではないが、このように、急激な応力の変化が生じないことで、酸素を含む雰囲気中で Pt 薄膜を加熱しても、Pt 薄膜に大きな力が作用することがなく、Pt 薄膜の凝集、はがれなどが防止されるものと考えられる。

【 0 0 3 4 】

一方、水素の添加によって Pt 薄膜の強度がある程度強化されていると考えられる。すなわち、Pt 薄膜内に導入された水素のかなりの部分は、温度の上昇に伴い Pt 薄膜外に放出されるが、水素のすべてが放出されるわけではなく Pt 薄膜中にもある程度残存する。そして、Pt 薄膜中に残存する水素は、一般的な不純物がそうであるように、グレインバウンダリや転位の近傍などの欠陥部分に偏析する傾向が大きいはずである。そうすると、グレインバウンダリに偏析した水素によりグレインの移動、成長（合体）などが妨げられ、転位の近傍に入り込んだ水素により、転位（ディスロケーション）がピン止めされて転位の運動が妨げられるのが生じると考えるのは、十分合理性がある。特に、水素は Pt などの金属原子と結晶格子内で結合するので、上述のような転位の運動やグレインの移動の妨害機能は大きいものと考えられる。そして、Pt 薄膜中における転位の固着、グレインのモビリティの低下などにより、Pt 薄膜の強度が高温でも高く維持されるものと考えられる。

【 0 0 3 5 】

また、水素の添加によって水素と Pt とが結合する結果、Pt の表面張力が小さくなり、Pt を凝集させようとする力が小さくなっていることも、Pt の急激

な応力の変化が生じない原因の1つと考えられる。少なくとも水素の添加によってPtの仕事関数が低下するので、このような表面状態の変化が水素処理を行っていないPtとの特性の差となって現れている可能性がある。

【0036】

図8は、厚みが100nmのPt薄膜を処理条件を変えてウエハ上に形成したもののについて、マイクロビッカース法を用いてヤング率を測定した結果を示す図である。同図において、横軸はマイクロビッカース針の押し込み深さ(nm)を表し、縦軸はヤング率(GPa)を表している。つまり、マイクロビッカース針の押し込み深さが大きいと測定値に下地層のヤング率の影響が現れる一方、マイクロビッカース針の押し込み深さが小さいと測定値のバラツキが大きいことから、押し込み深さを変えて測定の信頼性を確保している。同図からわかるように、サンプルS-1(As dep. (堆積したままのもの)及びH₂下におけるアニールを施したもの)がもっともヤング率が高く、サンプルS-2(H₂+O₂雰囲気下におけるアニールを施したもの)がそれに続き、サンプルS-3(O₂下におけるアニールを施したもの)がもっともヤング率が低い。サンプルS-3のもののヤング率が低いのは酸性雰囲気下における処理によってグレインが粗大化しているためと考えられる。実際のキャパシタの製造工程では、Pt薄膜の上にBST膜を形成する際に、酸化性雰囲気下で高温に維持されるので、BST薄膜の形成時にはサンプルS-3の処理に近い処理がPt薄膜に対して施されるものと考えられる。したがって、サンプルS-1のうちのH₂アニールが施されたものにより、堆積したまま(As dep.)のものからヤング率(剛性)の低下が生じないことが確認された。言い換えると、従来の製造工程におけるPt薄膜よりもヤング率が向上していることになる。そして、このようなヤング率が高く維持されていることと、上述のような急激な応力の変化がないことにより、BST膜を形成する際に、Pt薄膜の凝集による空隙部Rvoの発生(図4, 図5参照)が防止されるものと推測される。

【0037】

ー本発明の効果を得ることができる材料ー

上述のようなPt薄膜の剛性の向上効果は、Pt以外の金属、例えば白金系貴

金属であるイリジウム (I r) , ルテニウム (R u) , ロジウム (R h) , パラジウム (P d) やそれらの合金にも同様に生じうる。また、タングステン (W) , タンタル (T a) , チタン (T i) , バナジウム (V) , ニオブ (N b) , クロム (C r) , ジルコニウム (Z r) , ハフニウム (H f) 等のいわゆる高融点金属 (リフラクトリ金属) 及びそれらの合金などにおいても、同様の効果が生じうる。ただし、本発明者達の行なった実験においては、これらの金属膜の厚みが 1 0 0 n m を越えると、水素処理を行なわなかった場合でも、図 4 , 図 5 に示すような金属膜の凝集による空隙部の発生は見られなかった。そのため、金属膜厚みが 1 0 0 n m を越える場合には、本発明を適用する意義があまりないと考えられる。

【 0 0 3 8 】

また、添加する不純物としては、水素以外に、ベリリウム (B e) , 硼素 (B) などの軽元素が挙げられる。これらの軽元素は、昇温して気化させたり、蒸気圧の高い化合物に対して蒸発させたりすることができるので、下部電極の形成後に気相から供給することができる。また、その他の方法としては、イオン注入により P t 薄膜中にこれらの元素を導入することもできる。この場合は、不純物の導入量や導入部位を容易に制御することができるので、非熱平衡状態とすることができる。

【 0 0 3 9 】

また、本発明は、P t などの電極上に、B S T , S B T , P Z T などのペロブスカイト系の高誘電体膜又は強誘電体膜や、 $T a_2 O_5$, $Z r O_2$, $T i O_2$ などの高誘電体膜を形成する場合に特に効果大きい。これらの膜の形成は、強い酸化性雰囲気で行なわれることが多いからである。

【 0 0 4 0 】

－製造方法の実施例－

図 9 (a) ～ (c) は、本発明に基づく半導体装置特にキャパシタの製造方法の実施例を示す断面図である。

【 0 0 4 1 】

図 9 (a) に示す工程では、例えば直径が 8 インチのウエハ状の半導体基板 1

0の上には、例えばDRAMにおいてはゲート電極、ソース・ドレイン領域などからなるメモリセルトランジスタが形成されている。そして、まず、CVD法により、半導体基板10の上に SiO_2 や SiN からなる下部層間絶縁膜16aを形成し、フォトリソグラフィー及びドライエッチングにより、この下部層間絶縁膜16aを貫通して半導体基板10の一部（DRAMでは、メモリセルトランジスタのソース領域）に到達する接続孔を形成する。そして、接続孔を埋めるポリシリコン膜からなるポリシリコンプラグ18を形成した後、その表面部をシリサイド化してシリサイド層17を形成する。さらに、接続孔内のシリサイド層17の上に TiAlN からなるバリア層15を形成する。この時点で、ポリシリコンプラグ18は直接或いは他の導体を介してメモリセルトランジスタの活性領域（ソース領域）に電氣的に接続されている。

【0042】

次に、基板上に、CVD法により、 SiO_2 や SiN からなる上部層間絶縁膜16bを形成し、フォトリソグラフィー及びドライエッチングにより、この上部層間絶縁膜16bを貫通してポリシリコンプラグ18の直上部に到達する凹部20を形成する。この凹部20の径は例えば $0.4\mu\text{m}$ で、下部層間絶縁膜16aに形成した接続孔の径は例えば $0.15\mu\text{m}$ である。そして、スパッタリング法により、凹部20の内壁から上部層間絶縁膜16bに亘る領域上に、密着層となる極薄の Ti 膜14xを形成した後、スパッタリング法により、 Ti 膜14xの上に厚み約 20nm （最薄部）の Pt 薄膜11xを形成する。

【0043】

次に、図9（b）に示す工程で、 Pt 薄膜11x及び Ti 膜14xのうち凹部20内に位置する部分以外の部分を除去して、下部電極11及び密着層14をそれぞれ形成する。そして、 H_2 を4%含むアルゴンガス中で、 500°C 、5分間の条件でアニールを行なう。この過程で、水素21が Pt 薄膜からなる下部電極11内に導入される。

【0044】

次に、図9（c）に示す工程で、約 500°C の酸化雰囲気下で、MOCVD法などにより、厚み $25\sim 30\text{nm}$ 程度のBSTからなる容量絶縁膜12を形成す

る。その際、下部電極 1 1 内に微量の水素が導入されていることから、下部電極 1 1 を構成する P t の凝集が生じず、図 4、図 5 に示すような空隙部 R v o は生じることがない。次に、B S T の結晶化のために、酸素を含む雰囲気中で約 6 0 0 ℃程度の温度で熱処理をするが、このときにも下部電極 1 1 を構成する P t の凝集は見られない。その後、スパッタリング法により、容量絶縁膜 1 2 の上に、白金からなる上部電極 1 3 を形成する。

【 0 0 4 5 】

なお、本実施例では、図 9 (b) に示す工程で、P t 薄膜 1 1 x 及び T i 膜 1 4 x のうち凹部 2 0 内に位置する部分以外の部分を除去して下部電極 1 1 及び密着層 1 4 を形成した後、水素を含むアルゴン雰囲気での熱処理を行なったが、この順番を逆にしても、本発明の効果が得られることは言うまでもない。

【 0 0 4 6 】

また、ここでは、凹部の壁面上に下部電極を形成した例について説明したが、図 3 に示すような平板上の下部電極を有するキャパシタについても、本実施例と基本的に同じ水素アニール処理を施すことができることは言うまでもない。

【 0 0 4 7 】

さらに、本実施形態においては、下部電極のみ水素アニール処理を行なったが、上部電極を 1 0 0 n m 以下に薄くする場合には、上部電極を形成後に水素アニール処理を行なうことにより、後工程などにおける上部電極中の金属の凝集などによる変形を抑制することができる。

【 0 0 4 8 】

【発明の効果】

本発明によれば、凝集が起き難い電極が容易に形成でき、高誘電体膜と貴金属或いは高融点金属を用いたキャパシタの実現に大きく貢献する。

【図面の簡単な説明】

【図 1】

従来の B S T を用いたキャパシタの構造を示す断面図である。

【図 2】

下部電極の厚みを薄くするためのカップ型のキャパシタの構造を示す断面図で

ある。

【図 3】

薄膜化された P t 膜からなる下部電極を有する D R A M メモリセルのキャパシタ構造の例を示す図である。

【図 4】

図 2 に示す構造を有するキャパシタを酸素雰囲気下で熱処理したときの構造の変化を示す断面図である。

【図 5】

図 3 に示す構造を有するキャパシタを酸素雰囲気下で熱処理したときの構造の変化を示す断面図である。

【図 6】

シリコンウエハ上に P t 薄膜を形成したままのものを高温まで加熱していったときの P t 薄膜中の応力の変化を示す図である。

【図 7】

シリコンウエハ上に P t 薄膜を形成した後水素処理を行なったものを高温まで加熱していったときの P t 薄膜中の応力の変化を示す図である。

【図 8】

P t 薄膜を処理条件を変えてウエハ上に形成したものについて、マイクロビッカース法を用いてヤング率を測定した結果を示す図である。

【図 9】

(a) ～ (c) は、本発明に基づく半導体装置特にキャパシタの製造方法の実施例を示す断面図である。

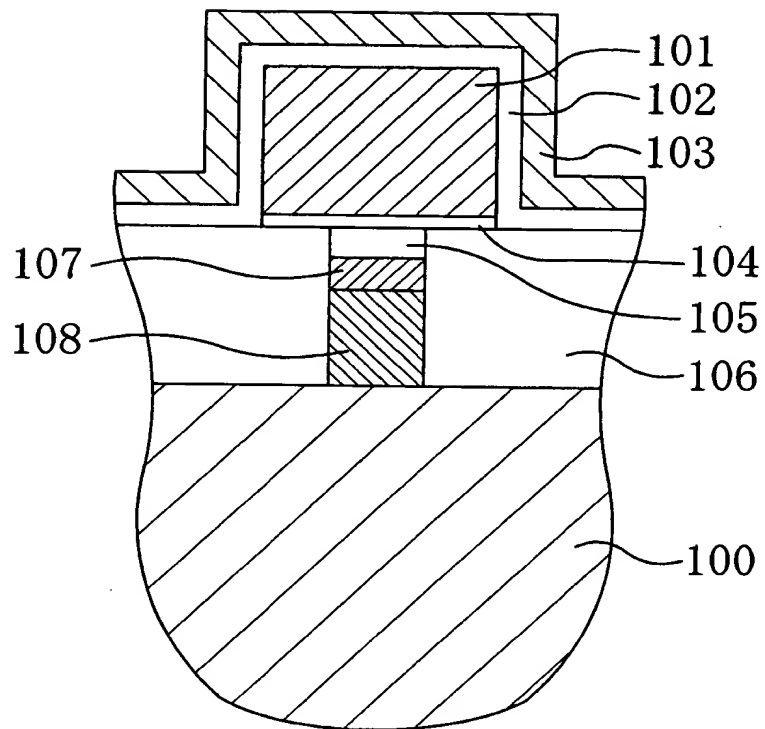
【符号の説明】

- 1 0 半導体基板
- 1 1 下部電極
- 1 1 x P t 薄膜
- 1 2 容量絶縁膜
- 1 3 上部電極
- 1 4 密着層

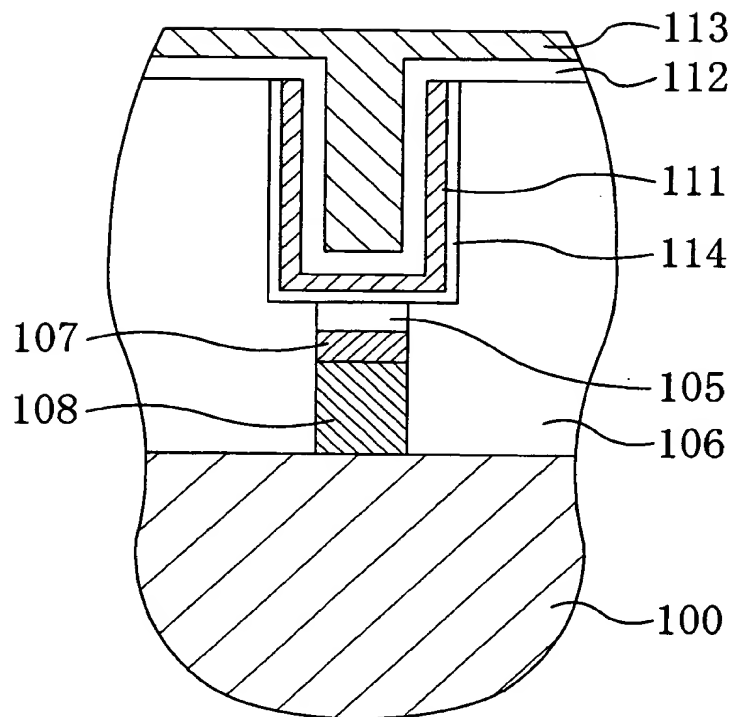
- 1 4 x T i 膜
- 1 5 バリア層
- 1 6 a 下部層間絶縁膜
- 1 6 b 上部層間絶縁膜
- 1 7 シリサイド層
- 1 8 ポリシリコンプラグ
- 2 0 凹部
- 2 1 水素

【書類名】 図面

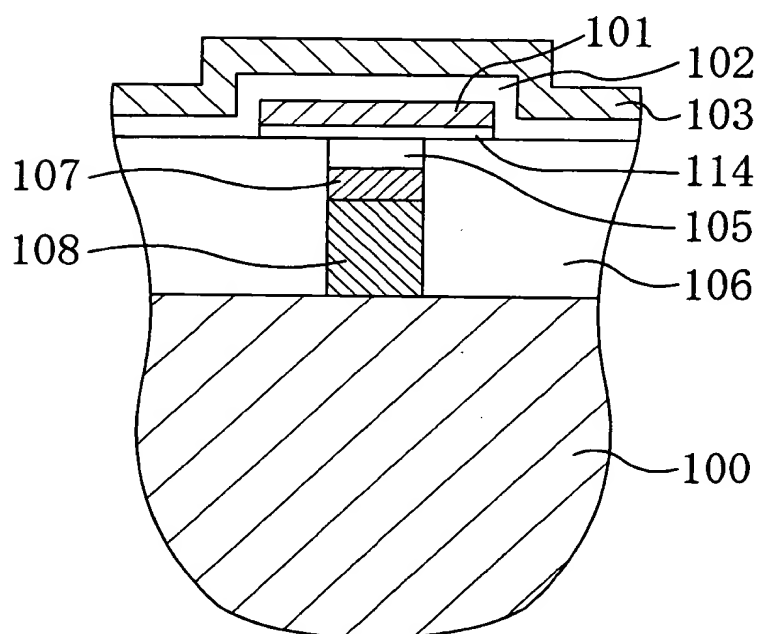
、【図 1】



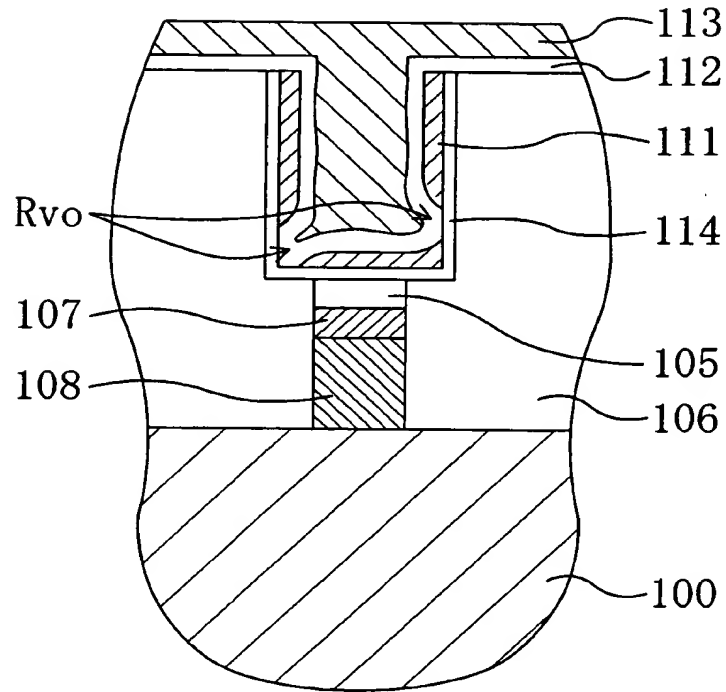
【図 2】



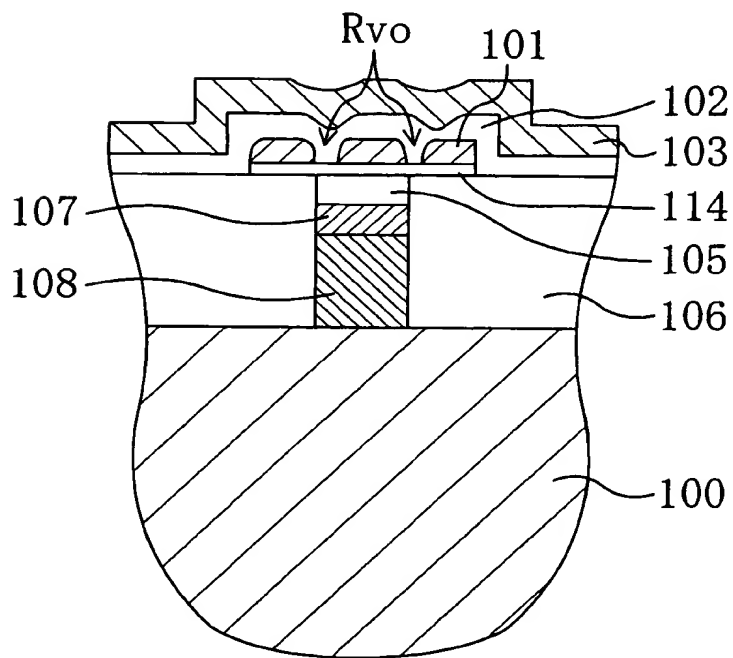
【図 3】



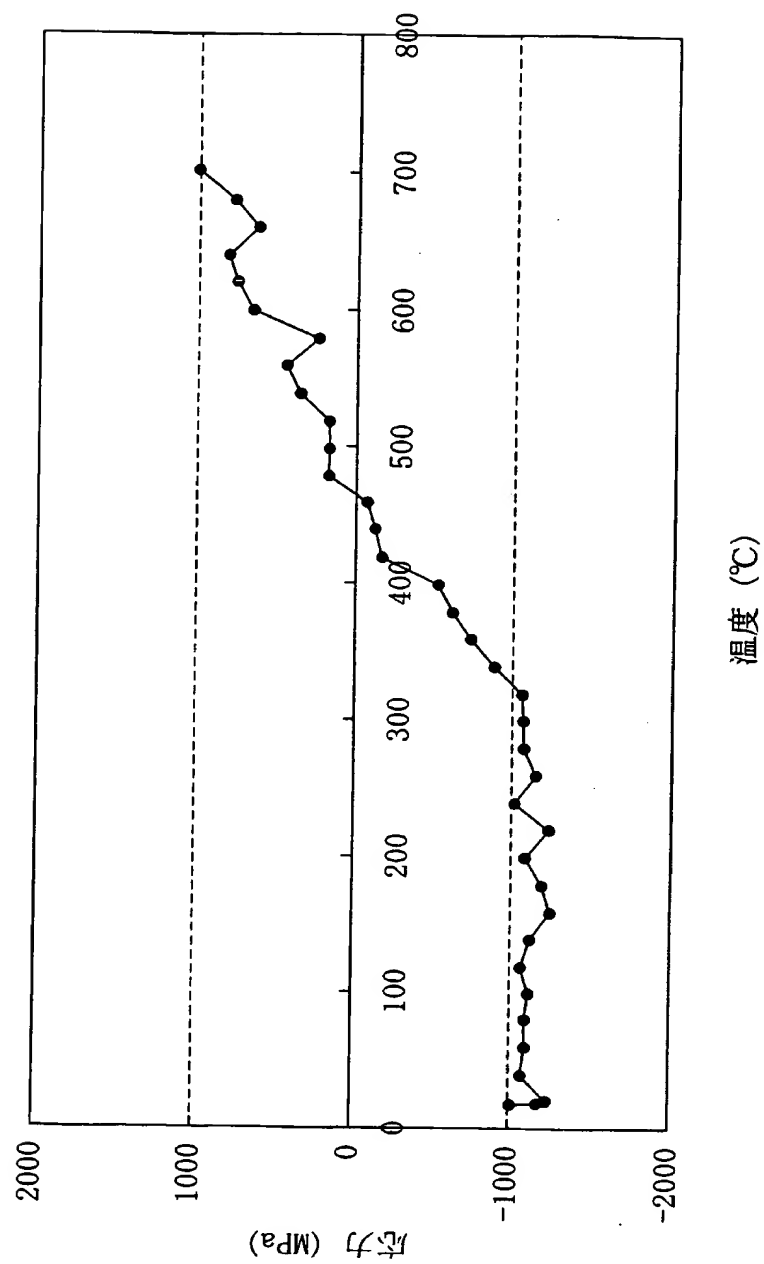
【図 4】



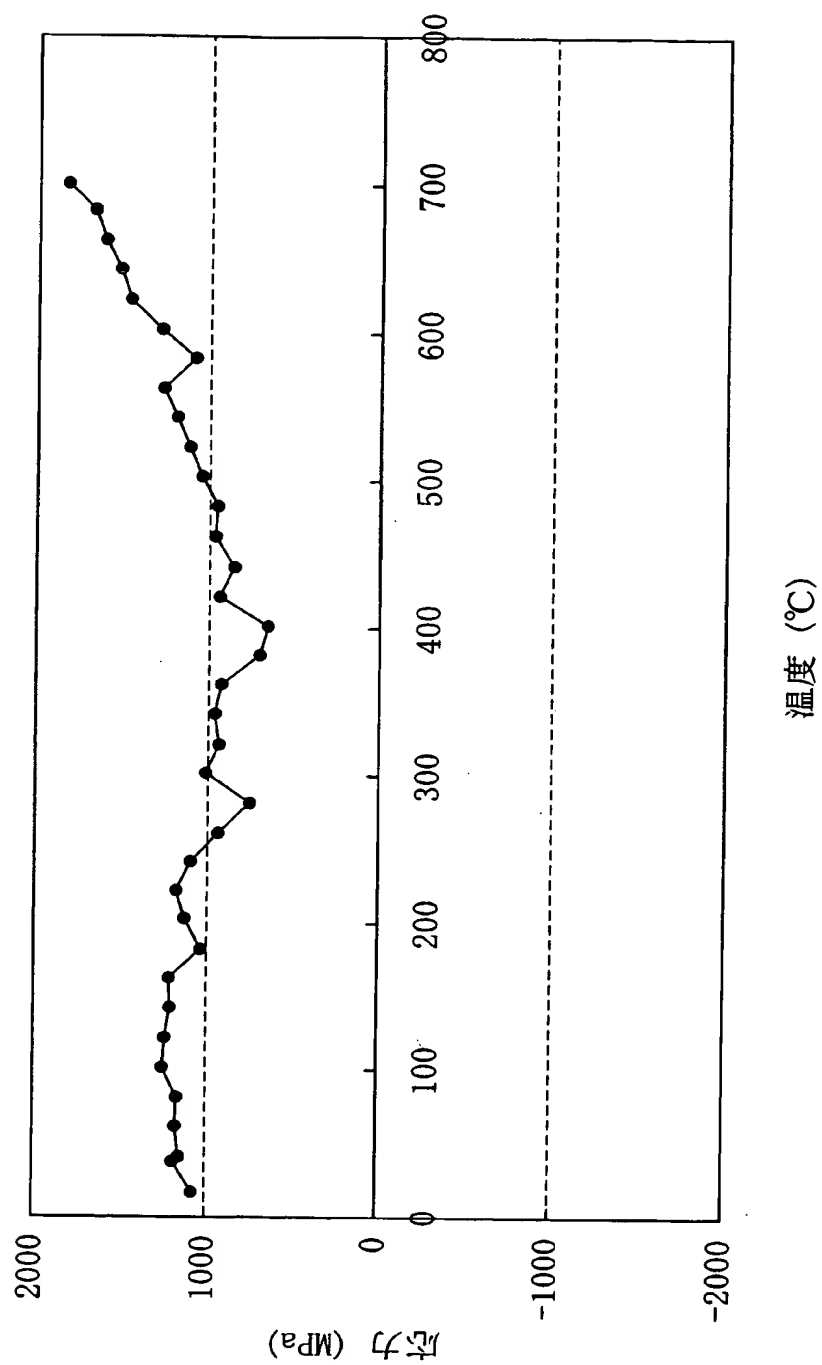
【図 5】



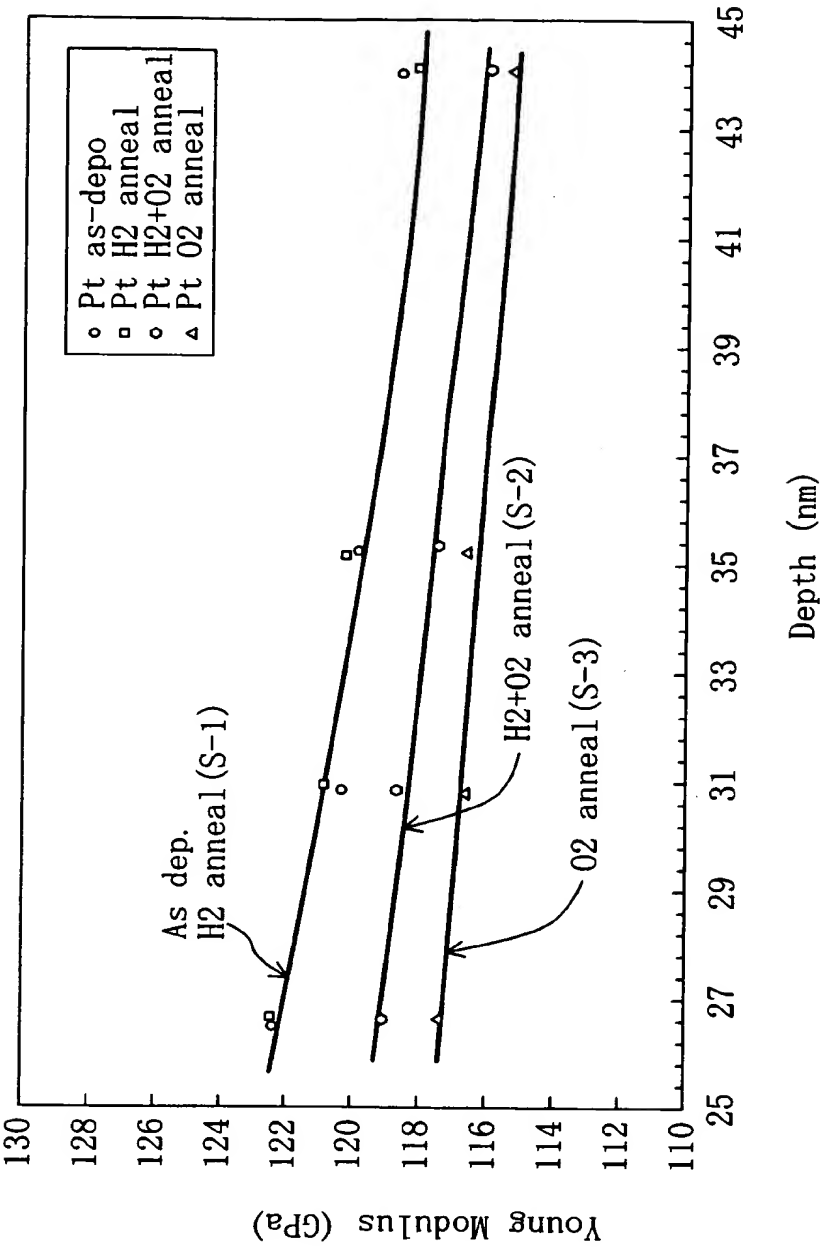
【図 6】



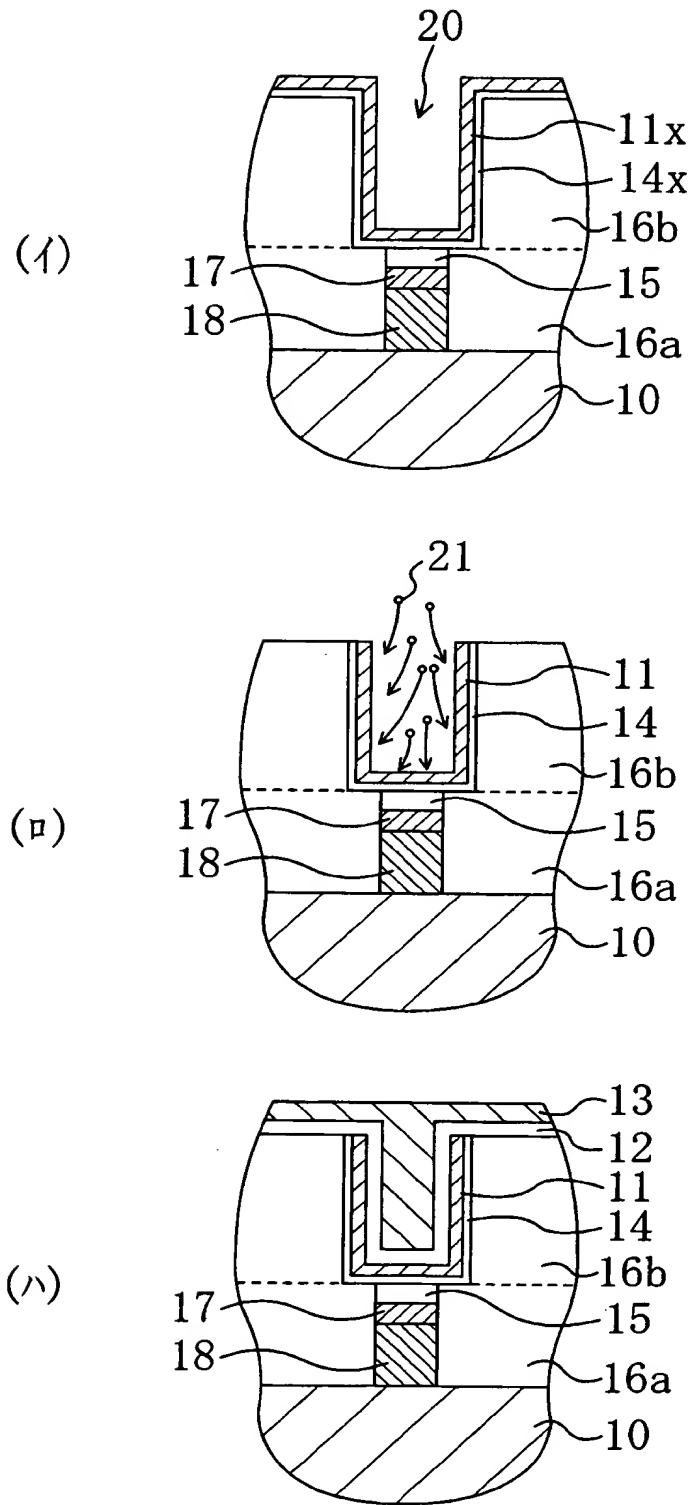
【図 7】



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 Pt 等の貴金属により構成されていても、酸素雰囲気でも熱処理しても凝集しない電極を有するキャパシタや半導体装置を提供する。

【解決手段】 Pt などからなる下部電極 1 1 を形成した後、下部電極 1 1 内に、高温における剛性の低下を抑制する機能を有する不純物例えば水素 2 0 を添加する。その後、下部電極 1 1 の上に、BST 膜などからなる容量絶縁膜 1 2 を形成する際に、酸化性雰囲気下で高温にさらされても、下部電極 1 1 の剛性の低下が抑制され、下部電極 1 1 を構成する Pt などの金属の凝集による変形が阻止される。

【選択図】 図 9

【書類名】 出願人名義変更届（一般承継）

【提出日】 平成13年 4月26日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2000-265284

【承継人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代表者】 中村 ▲邦▼夫

【提出物件の目録】

【物件名】 権利の承継を証明する書面 1

【援用の表示】 平成13年 4月16日付提出の特許番号第3150560号の一般承継による特許権の移転登録申請書に添付した登記簿謄本を援用する。

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 4 3]

1. 変更年月日	1 9 9 3 年 9 月 1 日
[変更理由]	住所変更
住 所	大阪府高槻市幸町 1 番 1 号
氏 名	松下電子工業株式会社

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社